BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-246425

(43)Date of publication of application: 30.08.2002

(51)Int.CI.

H01L 21/60 C25D 5/10

C25D 7/00

C25D 7/06

(21)Application number: 2001-036138

(71)Applicant: MITSUI MINING & SMELTING CO

LTD

(22)Date of filing:

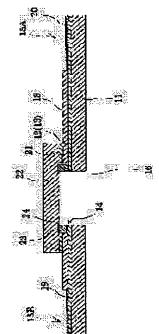
13.02.2001

(72)Inventor: FUJIMOTO AKIRA

(54) ELECTRONIC COMPONENT MOUNTING FILM CARRIER TAPE AND ELECTROPLATING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic component mounting film carrier tape and an electroplating method therefor, which is capable of comparatively easily conducting partial plating.
SOLUTION: The electronic component mounting film carrier tape has a wiring pattern of a conductive layer 12, provided on the surface of a continuous insulation film 11 and a plating layer formed on the conductive layer 12, and an electronic component 22 mounted on the wiring pattern 13 is bonded via the plating layer. The wiring pattern 13 has a first terminal 14 having a first tin plating layer 19 on the surface and a second terminal 15B, having the first plating layer 19 and a second solder plating layer 20 formed thereon.



LEGAL STATUS

[Date of request for examination]

11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTU)

BEST AVAILABLE COPY

(19)日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出顧公開番号 特開2002-246425 (P2002-246425A)

(43)公開日 平成14年8月30日(2002.8.30)

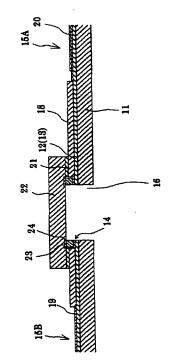
(51) Int.Cl.7		設別記号	FΙ	テーマコート*(参考)
H01L	21/60	3 1 1	H01L 21/60	311W 4K024
C 2 5 D	5/10		C 2 5 D 5/10	10 5 F 0 4 4
	7/00		7/00) J
7/06			7/06	6 F
			審査請求未	請求 請求項の数4 OL (全 6 頁)
(21)出願番号		特顏2001-36138(P2001-36138)	(71)出願人 000006183	
*			=	井金属鉱業株式会社
(22)出願日		平成13年2月13日(2001.2.13)	東	京都品川区大崎1丁目11番1号
			(72)発明者 藤	本 明
		•	巾	1口県下関市彦島西山町1-1-1 株式
			会	社エム・シー・エス内
			(74)代理人 10	00101236
			弁	理士 栗原 浩之
			Fターム(参考)	· 4K024 AA07 AA22 AB02 BA09 BB11
				BC02 EA04 GA16
			·	5F044 MM03 MM23 MM48 MM49 NN04

(54) 【発明の名称】 電子部品実装用フィルムキャリアテープ及びそのメッキ方法

(57)【要約】

【課題】 比較的容易に部分的なメッキを施すことがで きる電子部品実装用フィルムキャリアテープ及びそのメ ッキ方法を提供する。

【解決手段】 連続する絶縁フィルム11の表面に設け られた導電層12からなる配線パターン13と、この導 電層12上に形成されたメッキ層とを有し、当該配線パ ターン13上に実装される電子部品22が前記メッキ層 を介して接合される電子部品実装用フィルムキャリアテ ープにおいて、前記配線パターン13は、スズからなる 第1のメッキ層19を表面に有する第1の端子部14 と、前記第1のメッキ層19及びこの上に形成された半 田からなる第2のメッキ層20を有する第2の端子部1 5Bとを有する。



(2)

特開2002-246425

【特許請求の範囲】

【請求項1】 連続する絶縁フィルムの表面に設けられ た導電層からなる配線パターンと、この導電層上に形成 されたメッキ層とを有し、当該配線パターン上に実装さ れる電子部品が前記メッキ層を介して接合される電子部 品実装用フィルムキャリアテープにおいて、

前記配線パターンは、スズからなる第1のメッキ層を表 面に有する第1の端子部と、前記第1のメッキ層及びこ の上に形成された半田からなる第2のメッキ層を有する 第2の端子部とを有することを特徴とする電子部品実装 10 用フィルムキャリアテープ。

【請求項2】 表面に導電層からなる配線パターンが設 けられた連続する絶縁フィルムをメッキ槽に保持したメ ッキ液に浸漬させた状態で当該メッキ槽の長手方向に沿 って搬送しながら前記導電層上にメッキを施して電子部 品実装用フィルムキャリアテープとするメッキ方法にお いて、

前記絶縁フィルムの幅方向の一部をメッキ液に浸漬させ た状態で部分電気メッキすることを特徴とするメッキ方 法。

【請求項3】 請求項2において、露出された導電層全 体に第1のメッキ層を形成した後、前記部分電気メッキ により前記第1のメッキ層上の一部分に第2のメッキ層 を形成することを特徴とするメッキ方法。

【請求項4】 請求項2又は3において、前記第1のメ ッキ層がスズからなり、且つ前記第2のメッキ層が半田 からなることを特徴とするメッキ方法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、I CあるいはLS 30 I などの電子部品を実装する電子部品実装用フィルムキ ャリアテープ (TAB(Tape Automated

Bonding)テープ、T-BGA(Tape Ba 11 Grid Array)テープ、ASIC(Ap plication Specific Integr ated Circuit)テープなど)及びそのメッ キ方法に関する。

[0002]

【従来の技術】近年ノートパソコンなどの電子部品がま すます小型化、軽量化している。また、半導体 I C の配 線もさらに微細化している。

【0003】このような電子機器の小型化に伴いTAB テープ、T-BGAテープおよびASICテープなどの 電子部品実装用フィルムキャリアテープが使用されてい る.

【0004】この電子部品実装用フィルムキャリアテー プであるTABテープは次のようにして製造されてい る。すなわち、まず、例えばポリイミドフィルムなどの 絶縁フィルムに銅箔を貼着し、この銅箔表面にフォトレ ジストを塗布して、このフォトレジストを形成しようと 50 配線パターンを容易且つ確実接続することができる。

する配線パターン以外の部分を露光し、露光されたフォ トレジストを除去する。次いで、フォトレジストが除去 された部分の銅箔をエッチングにより除去し、さらにフ ォトレジストを除去することにより配線パターンを形成

【0005】このようして配線パターンを形成した電子 部品実装用フィルムキャリアテープに、インナーリード やアウターリード、ハンダボール端子などの接続部分を 除いて回路の保護層となるソルダーレジストを塗布す る。また、ソルダーレジストを塗布した後、露出する部 分である端子部に、例えば、スズメッキ層を形成する。 【0006】ここで、インナーリードは、一般的にスズ メッキ層を介して金スズ共晶により電子部品と接続され る。アウターリードは、駆動素子又は回路基板等との接 触抵抗特性を安定に保つために、さらに半田メッキ層を 介して接続した方がよい場合がある。

[0007]

20

【発明が解決しようとする課題】しかしながら、スズメ ッキ層又は半田メッキ層を必要な部分のみに部分メッキ を形成することが考えられるが、製造工程が煩雑であ り、製造効率が低いという問題がある。すなわち、配線 パターンの所定の領域にマスキング材を塗布してスズメ ッキ及び半田メッキ層を順次形成し、その後このマスキ ング材を除去することによって、所望の部分(アウター リード)のみに半田メッキ層を形成するので、所定長さ 毎にマスキングして間欠的にメッキを施さなければなら ないため、製造効率が低くなってしまうという問題があ

【0008】また、マスキングを施すためには、特殊な 装置が必要であり、コストが高くなってしまうという問 題もある。

【0009】本発明は、このような事情に鑑み、比較的 容易に部分的な電気メッキを施すことができる電子部品 実装用フィルムキャリアテープ及びそのメッキ方法を提 供することを課題とする。

[0010]

【課題を解決するための手段】上記課題を解決する本発 明の第1の態様は、連続する絶縁フィルムの表面に設け られた導電層からなる配線パターンと、この導電層上に 形成されたメッキ層とを有し、当該配線パターン上に実 40 装される電子部品が前記メッキ層を介して接合される電 子部品実装用フィルムキャリアテープにおいて、前記配 線パターンは、スズからなる第1のメッキ層を表面に有 する第1の端子部と、前記第1のメッキ層及びこの上に 形成された半田からなる第2のメッキ層を有する第2の 端子部とを有することを特徴とする電子部品実装用フィ ルムキャリアテープにある。

【0011】かかる第1の態様では、ピエゾ素子などの 駆動素子あるいは回路基板等に第2のメッキ層によって

1

(3)

特開2002-246425

【0012】本発明の第2の態様は、表面に導電層から なる配線パターンが設けられた連続する絶縁フィルムを メッキ槽に保持したメッキ液に浸漬させた状態で当該メ ッキ槽の長手方向に沿って搬送しながら前記導電層上に メッキを施して電子部品実装用フィルムキャリアテープ とするメッキ方法において、前記絶縁フィルムの幅方向 の一部をメッキ液に浸漬させた状態で部分電気メッキす ることを特徴とするメッキ方法にある。

3

【0013】かかる第2の態様では、導電層の一部にメ ッキ層を容易に形成することができ、製造効率が向上す 10 メッキ層19が形成され、且つ外部接続端子15Aに

【0014】本発明の第3の態様は、第2の態様におい て、露出された導電層全体に第1のメッキ層を形成した 後、前記部分電気メッキにより前記第1のメッキ層上の 一部分に第2のメッキ層を形成することを特徴とするメ ッキ方法にある。

【0015】かかる第3の態様では、導電層を第1のメ ッキ層によって保護でき、且つ第2のメッキ層を所望の 領域のみに容易に形成できる。

【0016】本発明の第4の態様は、第2又は3の態様 20 において、前記第1のメッキ層がスズからなり、且つ前 記第2のメッキ層が半田からなることを特徴とするメッ キ方法にある。

【0017】かかる第4の態様では、第1のメッキ層及 び第2のメッキ層を所定の材料で形成することにより、 これら各層を容易且つ良好に形成することができる。 [0018]

【発明の実施の形態】以下、本発明の一実施形態に係る 電子部品実装用フィルムキャリアテープについて詳細に 説明する。勿論、本発明はこれに限定されるものでない 30 ことはいうまでもない。

【0019】図1には実施形態1に係る電子部品実装用 フィルムキャリアテープの概略平面、図2にはその幅方 向の断面を示す。

【0020】図1及び図2に示すように、電子部品実装 用フィルムキャリアテープ10は、テープ状の絶縁フィ ルム11の一方面側に、導電層12からなる複数の配線 パターン13が連続的に形成されている。また、絶縁フ ィルム11は、幅方向両側に移送用のスプロケット孔1 1 aを一定間隔で有し、一般的には、移送されながら電 40 子部品が実装され、電子部品実装後、各配線パターン1 3毎に切断される。

【0021】配線パターン13は、それぞれ、実装され る電子部品の大きさにほぼ対応した大きさで絶縁フィル ム11のほぼ全面に連続的に設けられ、また、各配線パ ターン12には、それぞれ、デバイス側接続端子(イン ナーリード) 14及び外部接続端子(アウターリード) 15A, 15Bが設けられている。また、このデバイス 側接続端子14の間に対応する領域の絶縁フィルム11 れ、配線パターン13のデバイス側接続端子14は、デ バイスホール16の縁部まで延設されている。

【0022】また、このように形成される配線パターン 13を構成する導電層12は、デバイス側接続端子14 及び外部接続端子15A、15Bを除く部分が、ソルダ ーレジスト層18によって覆われている。また、ソルダ ーレジスト層18によって覆われていない導電層12、 すなわち、デバイス側接続端子14及び外部接続端子1 5A, 15Bの表面には、スズ(Su)からなる第1の は、さらに、半田からなる第2のメッキ層20が形成さ れている。なお、第1のメッキ層19は、デバイスホー ル16及びスリット17によって露出されている導電層 12の表面にも形成されている。

【0023】このように、本実施形態の電子部品実装用 フィルムキャリアテープ10には、外部接続端子15A には、半田からなる第2のメッキ層20が形成されてい るため、この第2のメッキ層20によって、配線パター ン13と駆動素子あるいは回路基板等とを容易に接続す ることができる。

【0024】ここで、絶縁フィルム11としては、可撓 性を有すると共に、耐薬品性及び耐熱性を有する材料を 用いることができる。かかる絶縁フィルム11の材料と しては、ポリエステル、ポリアミド、ポリイミド等を挙 げることができ、特に、ビフェニル骨格を有する全芳香 族ポリイミド (例えば、商品名:ユーピレックス;宇部 興産(株))が好ましい。なお、絶縁フィルム11の厚 さは、一般的には、25~125 µm、好ましくは、2 5~75μmである。 絶縁フィルム11の表面の配線 パターン13を構成する導電層12は、一般的には、銅 やアルミニウムからなる導電体箔をパターニングするこ とにより形成される。このような導電体箔は、絶縁フィ ルム11上に直接積層しても、接着剤層を介して熱圧着 等により形成してもよい。導電体箔の厚さは、例えば、 6~70µm、好ましくは、8~35µmである。導電 体箔としては、銅箔、特に、エッチング特性、操作性な どを考慮すると、電解銅箔が好ましい。

【0025】なお、絶縁フィルム上に導電層を設けるの ではなく、導電体箔に、例えば、ポリイミド前駆体を塗 布し、焼成してポリイミドフィルムからなる絶縁フィル ムとすることもできる。

【0026】また、絶縁フィルム11上に設けられた導 電層12は、フォトリソグラフィー法により、各配線パ ターン13としてパターニングされる。 すなわち、フォ トレジスト層を塗布した後、フォトレジスト層をフォト マスクを介しての露光及び現像でパターニングし、パタ ーニングされたフォトレジスト層をマスクとしてエッチ ング液で化学的に溶解(エッチング処理)して除去し、 さらに、フォトレジストをアルカリ液等にて溶解除去す には、デバイスホール16がパンチング等により形成さ 50 ることにより導電層12をパターニングして配線パター (4)

特開2002-246425

ン13とする。

【0027】次いで、このようにパターニングされた導 電層12上にはソルダーレジスト材料塗布液が塗布さ れ、所定のパターニングにより、ソルダーレジスト層1 8が形成される。

【0028】ソルダーレジスト層18を形成する材料と しては、例えば、フォトソルダーレジスト材料が用いら れる。このフォトソルダーレジスト材料としては、ネガ 型でもポジ型でもよく、一般的なフォトレジストの性質 と、導電体箔の保護する性質とを備えたものであればよ 10 い。例えば、アクリレート系樹脂、特に、エポキシアク リレート樹脂などの感光性樹脂に光重合開始剤等を添加 したものである。エポキシアクリレート樹脂としては、 ビスフェノールA型エポキシアクリレート樹脂、ノボラ ック型エポキシアクリレート樹脂、ビスフェノールA型 エポキシメタアクリレート樹脂、ノボラック型エポキシ メタアクリレート樹脂等を挙げることができる。

【0029】かかるフォトソルダーレジスト材料は、有 機溶剤に溶解又は分散されて塗布液として塗布される。 塗布液の中には、硬化促進剤、充填剤、添加剤、チキソ 20 剤等を添加することもできる。また、ソルダーレジスト 層の可撓性等の特性を向上させるために、ゴム微粒子の ような弾性を有する微粒子を配合することもできる。

【0030】フォトソルダーレジスト材料塗布液の配合

の一例としては、アクリレート系樹脂35~45%、ア クリル酸エステルモノマー0.1~5%、エポキシ硬化 剤0.1~5%、着色顔料0.1~5%、体質顔料10 ~20%、添加剤0.1~5%、光重合開始剤1~10 %、及び有機溶剤30~40%の混合物を挙げることが できる。このようなフォトソルダーレジスト材料塗布液 30 は、例えば、膜厚20~50μm程度に塗布され、例え ば、熱風、80℃程度で30分程度乾燥された後、露光 ・現像される。また、現像後、必要に応じて、例えば、 150℃程度で60分程度熱処理され、熱硬化される。 【0031】かかるソルダーレジスト材料塗布液は、硬 化性樹脂を有機溶媒に溶解又は分散したものであり、硬 化性樹脂としては、エポキシ系樹脂、エポキシ系樹脂の エラストマー変性物、ウレタン樹脂、ウレタン樹脂のエ ラストマー変性物、ポリイミド樹脂、ポリイミド樹脂の エラストマー変性物、アクリル樹脂等を挙げることがで きる。塗布液の中には、硬化促進剤、充填剤、添加剤、 チキソ剤等を添加することもできる。また、ソルダーレ ジスト層の可撓性等の特性を向上させるために、ゴム微 粒子のような弾性を有する微粒子を配合することもでき る。なお、このようなソルダーレジスト材料塗布液は、 スクリーン印刷により、必要な領域のみに塗布され、熱

【0032】また、このソルダーレジスト層18上に は、電子部品を仮固定するための接着剤層21が設けら れている。この接着剤層21としては、熱硬化性で且つ 50 る方法であるので、詳細な説明は省略する。

硬化されてソルダーレジスト層18となる。

弾性を有する接着剤を用いて形成するのが好ましく、裏 面に直接塗布することにより形成してもよいし、接着剤 テープを用いて形成してもよい。また、接着剤層21 は、電子部品を実装する領域全体に設ける必要はなく、 一部の領域に設けてもよい。但し、この接着剤層21は 必ずしも必要ではない。

【0033】このような接着層21を介してソルダーレ ジスト層18上には、電子部品としてIC22が実装さ れる。このIC22の電極23と配線パターン13のデ バイス側接続端子14とは、例えば、金(Au)からな るバンプ24を介して接続されている。

【0034】また、このような電子部品実装用フィルム キャリアテープ10は、電子部品が実装された後、各配 線パターン13毎に切断される場合と、各配線パターン 13年に切断された後、電子部品が実装される場合とが

【0035】なお、各配線パターン13毎に切断された 電子部品実装用フィルムキャリアテープ10は、その 後、上述したように、配線パターン13の外部接続端子 15Aがピエゾ素子等の駆動素子に接続され、外部接続 端子15Bが回路基板等に接続される。そして、本実施 形態では、外部接続端子15Aに半田からなる第2のメ ッキ層20が形成されているため、この第2メッキ層2 0によってこれら外部接続端子15A、駆動素子又は回 路基板等とを容易且つ確実に接続することができる。

【0036】以下、このような電子部品実装用フィルム キャリアテープ10の製造方法、特に、第2のメッキ層 20の形成方法について詳しく説明する。なお、図3 は、本発明の一実施形態にかかるフィルムキャリアテー プの製造方法を示す断面図であり、図4は、メッキ装置 の概略斜視図であり、図5は、その要部を示す断面図で ある。

【0037】まず、図3(a)に示すように、絶縁フィ ルム11上に、例えば、接着剤等によって導電体箔を貼 着して導電層12を形成し、この導電層12をフォトリ ソグラフィー法によりパターニングして、配線パターン 13を形成する。

【0038】次に、図3(b)に示すように、配線パタ ーン13のデバイス側接続端子14及び外部接続端子1 5A、15B部分を除く領域を覆うようにソルダーレジ スト層18を形成する。

【0039】次いで、図3(c)に示すように、ソルダ ーレジスト層18で覆われていない配線パターン13 上、すなわち、デバイス側接続端子14及び外部接続端 子15A, 15Bにスズ(Su)からなる第1のメッキ 層19を形成する。この第1のメッキ層19の形成方法 は、特に限定されないが、本実施形態では、無電解メッ キによって形成した。

【0040】なお、上述した工程は一般的に知られてい

5

(5)

特開2002-246425

2

【0041】次に、図3(d)に示すように、外部接続 端子15Aの第1のメッキ層19上に第2のメッキ層2 0を部分的に形成する。

【0042】ここで、この第2のメッキ層20の形成方法について説明する。

【0043】まず、この第2のメッキ層20を形成するためのメッキ装置30としては、基本的には従来から用いられているメッキ装置と同様の構成であり、図4に示すように、メッキ液(半田メッキ液)31を保持するメッキ槽32と、このメッキ槽32内に設けられアノード 10を構成する電極33とを有する。

【0044】また、メッキ槽32は、本実施形態のフィ ルムキャリアテープとなる連続する絶縁フィルム11、 すなわち、表面に導電層12からなる配線パターン13 が設けられた連続する絶縁フィルム11が、その内部で 起立した状態でメッキ液31中に浸漬されながら、図示 しない搬送手段によって連続的に搬送されるように、略 矩形断面形状で長手方向に延びる樋形状に構成されてい る。すなわち、メッキ槽32の長手方向両側の壁31 a, 31bに、それぞれスリット部34A, 34Bが設 20 けられており、絶縁フィルム11は、このメッキ槽32 の長手方向一方の壁31 aに設けられたスリット部34 Aからメッキ槽32内の幅方向ほぼ中央部を長手方向に 搬送され、他方の壁316に設けられたスリット部34 Bを介してメッキ槽31の外側に搬送されるようになっ ている。なお、このメッキ槽32には、図示しない循環 装置によって新しいメッキ液が供給されるようになって おり、液面の高さは常に一定の位置に保持されている。 【0045】なお、このメッキ装置30では、陰極(カ ソード)は、フィルムキャリアテープ10の配線パター 30 ン13を構成する導電層12であり、この導電層12 は、例えば、メッキ槽32の外側に設けられるロール状 の接触部材35を介して図示しない電源にそれぞれ接続 されている。

【0046】本実施形態では、このようなメッキ装置30を用いて第2のメッキ層20を形成する。まず、図5に示すように、配線パターン13の外部接続端子15A側を下向きとしてフィルムキャリアテープ10をメッキ装置30に配置する。すなわち、配線パターン13の外部接続端子15Aのみがメッキ液31に浸漬するように、フィルムキャリアテープ10をメッキ装置30に配置する。そして、このフィルムキャリアテープ10を連続的に移動させながら電気メッキを行うことにより、外部接続端子15Aの第1のメッキ層19上のみに第2のメッキ層20が形成される。

【0047】以上説明した本実施形態のメッキ方法では、フィルムキャリアテープの幅方向の一部をメッキ液に浸漬させながら、このフィルムキャリアテープを連続的に移動させて電気メッキすることにより、配線パターンの一部に容易にメッキ層を形成することができる。

【0048】なお、本実施形態では、スズからなる第1のメッキ層19を全面に設けこの上に部分的に第2のメッキ層20を形成するようにしたので、導電層12上に形成された酸化膜の除去などの処理を行うことなく第2のメッキ層を形成することができる。

【0049】また、外部接続端子15(15A)が反対側にもあり、半田メッキ層が必要な場合には、第2のメッキ層20の形成した後、反対に搬送して反対側の外部接続端子にも第2のメッキ層を形成してもよい。

0 [0050]

【発明の効果】以上説明したように、本発明では、デバイス側接続端子(第1の端子部)が配線パターンを構成する導電層上にスズ(Sn)からなる第1のメッキ層を有し、外部接続端子(第2の端子部)が第1及び第2のメッキ層を有するようにした。これにより、フィルムキャリアテープと、駆動素子あるいは回路基板等とを半田からなる第2のメッキ層で容易且つ確実に接続することができる。

【0051】また、絶縁フィルムに形成された配線パタ 0 一ンの一部をメッキ液に浸漬させた状態で電気メッキす ることにより、所望の領域のみに部分的に第2のメッキ 層を容易に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る電子部品実装用フィルムキャリアテープの概略構成を示す平面図である。

【図2】本発明の一実施形態に係る電子部品実装用フィルムキャリアテープの断面図である。

【図3】本発明の一実施形態に係る電子部品実装用フィルムキャリアテープの製造工程を示す断面図である。

【図4】本発明の一実施形態に係るメッキ装置の概略を 示す斜視図である。

【図5】本発明の一実施形態に係るメッキ工程を示す断面図である。

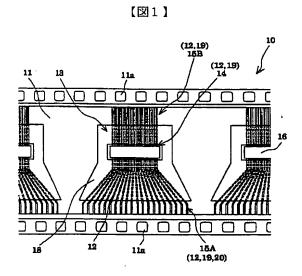
【符号の説明】

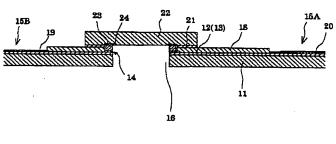
- 10 電子部品実装用フィルムキャリアテープ
- 11 絶縁フィルム
- 12 導電層
- 13 配線パターン
- 14 デバイス側接続端子
- 40 15A, 15B 外部接続端子
 - 16 デバイスホール
 - 17 スリット
 - 18 ソルダーレジスト層
 - 19 第1のメッキ層
 - 20 第2のメッキ層
 - 21 接着剤層
 - 22 IC(電子部品)
 - 23 電極
 - 24 バンプ

50

(6)

特開2002-246425





【図2】

